

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

17309287

Basic Patent (No,Kind,Date): JP 2001264807 A2 20010926 <No. of Patents:

002>

LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF MANUFACTURING THE SAME (English)

Patent Assignee: SEMICONDUCTOR ENERGY LAB

Author (Inventor): YAMAZAKI SHUNPEI; HIRAKATA YOSHIHARU

IPC: *G02F-001/1368; G02F-001/1337; G02F-001/1339; G09F-009/35;

H01L-029/786; H01L-021/336

Derwent WPI Acc No: *G 01-644947; G 01-644947

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 2001264807	A2	20010926	JP 200075467	A	20000317	(BASIC)
TW 508628	B	20021101	TW 90105189	A	20010306	

Priority Data (No,Kind,Date):

JP 200075467 A 20000317

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

07037173 **Image available**

LIQUID CRYSTAL DISPLAY DEVICE AND METHOD OF MANUFACTURING THE SAME

PUB. NO.: 2001-264807 [JP 2001264807 A]

PUBLISHED: September 26, 2001 (20010926)

INVENTOR(s): YAMAZAKI SHUNPEI

HIRAKATA YOSHIHARU

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2000-075467 [JP 200075467]

FILED: March 17, 2000 (20000317)

INTL CLASS: G02F-001/1368; G02F-001/1337; G02F-001/1339; G09F-009/35;

H01L-029/786; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To manufacture an electro-optic device exemplified by an active matrix type liquid crystal display device while decreasing the process of rubbing treatment and to decrease the production cost and to improve the yield by decreasing the number of processes to manufacture TFTs.

SOLUTION: A liquid crystal display device of a multidomain perpendicular alignment type with wide viewing angle display in which the cell gap is uniform and the switching direction of liquid crystal molecules is controlled is obtained in the following processes. The pixel TFT part 201 having a reversed stagger type n-channel TFT and the holding capacitance 202 are formed by using three photomasks in three photolithographic processes. Then without rubbing treatment, wall type spacers 121, 122 are formed in one photolithographic process.

COPYRIGHT: (C)2001, JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-264807

(P 2 0 0 1 - 2 6 4 8 0 7 A)

(43) 公開日 平成13年9月26日(2001.9.26)

(51) Int. Cl. ⁷	識別記号	F I	テマコート (参考)
G02F 1/1368		G02F 1/1337	2H089
1/1337		1/1339	500 2H090
1/1339	500	G09F 9/35	2H092
G09F 9/35		G02F 1/136	500 5C094
H01L 29/786		H01L 29/78	612 D 5F110

審査請求 未請求 請求項の数25 ○ L (全23頁) 最終頁に続く

(21) 出願番号 特願2000-75467(P 2000-75467)

(22) 出願日 平成12年3月17日(2000.3.17)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(72) 発明者 平形 吉晴

神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

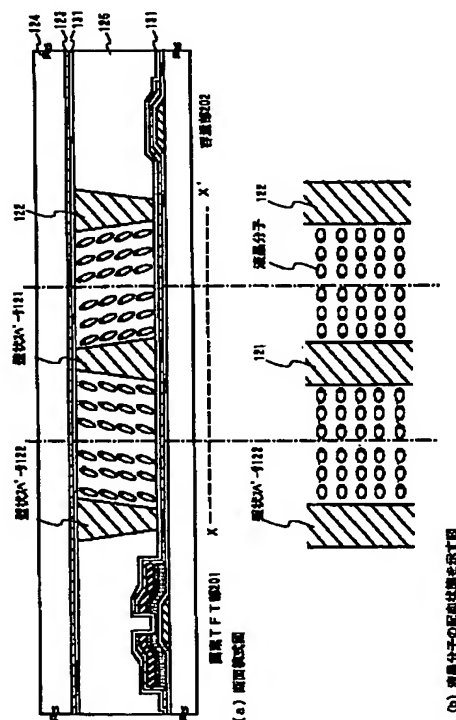
最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその作製方法

(57) 【要約】

【課題】 ラビング処理を削減してアクティブマトリクス型の液晶表示装置に代表される電気光学装置を作製し、さらにTFTを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現する。

【解決手段】 3回のフォトリソグラフィ工程により、3枚のフォトマスクを使用して、逆スタガ型のnチャンネル型TFTを有する画素TFT部201、及び保持容量202を形成し、さらにラビング処理を行うことなく、1回のフォトリソグラフィ工程により、壁状スペーサ121、122を形成することによってセルギャップが均一で、液晶分子のスイッチング方向を制御した広視野角表示のマルチドメイン垂直配向型の液晶表示装置が実現できる。



(a) 液晶分子の配向状態を示す図

【特許請求の範囲】

【請求項 1】 一对の基板と、前記一对の基板間に保持された液晶とを備えた液晶表示装置であって、
前記一对の基板の一方の基板には、ゲート配線と、
前記ゲート配線上に絶縁膜と、
前記絶縁膜上に非晶質半導体膜と、
前記非晶質半導体膜上にソース領域及びドレイン領域と、
前記ソース領域または前記ドレイン領域上にソース配線または電極と、
前記電極上に形成された画素電極と、
前記一对の基板の間隔を一定に保つためのギャップ保持材とが形成され、
前記ギャップ保持材の側面により前記液晶のプレチルト角を制御して前記液晶を配向させることを特徴とする液晶表示装置。

【請求項 2】 一对の基板と、前記一对の基板間に保持された液晶とを備えた液晶表示装置であって、
前記一对の基板の一方の基板には、ゲート配線と、
前記ゲート配線上に絶縁膜と、
前記絶縁膜上に非晶質半導体膜と、
前記非晶質半導体膜上にソース領域及びドレイン領域と、
前記ソース領域または前記ドレイン領域上にソース配線または電極と、
前記電極上に形成された画素電極と、
前記一对の基板の間隔を一定に保つためのギャップ保持材とが形成され、
前記ギャップ保持材の側面と、少なくとも一方の基板に設けられた面の凹部或いは凸部により前記液晶のプレチルト角を制御して前記液晶を配向させることを特徴とする液晶表示装置。

【請求項 3】 請求項 1 または請求項 2 において、少なくとも一方の前記基板には配向膜を有していることを特徴とする液晶表示装置。

【請求項 4】 請求項 1 乃至 3 のいずれかにおいて、前記ギャップ保持材は、一定のテーパ角を有することを特徴とする液晶表示装置。

【請求項 5】 請求項 4 において、前記ギャップ保持材のテーパ角は、 $75.0^{\circ} \sim 89.9^{\circ}$ 、好ましくは $82^{\circ} \sim 87^{\circ}$ であることを特徴とする液晶表示装置。

【請求項 6】 請求項 1 乃至 5 のいずれかにおいて、前記ギャップ保持材は、アクリル系、ポリイミド系、ポリイミドアミド系、エポキシ系の少なくとも一つを主成分とする有機系樹脂材料、もしくは酸化珪素、窒化珪素、酸化窒化珪素のいずれか一種類の材料あるいはこれらの積層膜からなる無機系材料であることを特徴とする液晶表示装置。

【請求項 7】 請求項 1 乃至 6 のいずれかにおいて、前記ギャップ保持材の側面付近では液晶分子の長軸方向が

その側面に対して概略平行となるような配向規制力を有することを特徴とする液晶表示装置。

【請求項 8】 請求項 1 乃至 7 のいずれかにおいて、前記液晶は負の誘電性異方性を有することを特徴とする液晶表示装置。

【請求項 9】 請求項 1 乃至 7 のいずれかにおいて、前記ドレイン領域または前記ソース領域の一つの端面は、前記非晶質半導体膜の端面及び前記電極の端面と概略一致することを特徴とする液晶表示装置。

10 【請求項 10】 請求項 1 乃至 9 のいずれかにおいて、前記ドレイン領域または前記ソース領域の一つの端面は、前記非晶質半導体膜の端面及び前記電極の端面と概略一致し、もう一つの端面は、前記画素電極の端面及び前記電極のもう一つの端面と概略一致することを特徴とする液晶表示装置。

【請求項 11】 請求項 1 乃至 10 のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、 n 型を付与する不純物元素を含む非晶質半導体膜からなることを特徴とする液晶表示装置。

20 【請求項 12】 請求項 1 乃至 11 のいずれかにおいて、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、及び前記ドレイン領域は、大気に曝されることなく連続的に形成されたことを特徴とする液晶表示装置。

【請求項 13】 請求項 1 乃至 12 のいずれかにおいて、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、スパッタ法により形成されたことを特徴とする液晶表示装置。

30 【請求項 14】 請求項 1 乃至 12 のいずれかにおいて、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、プラズマ CVD 法により形成されたことを特徴とする液晶表示装置。

【請求項 15】 請求項 1 乃至 14 のいずれかにおいて、前記ゲート配線は、Al、Cu、Ti、Mo、W、Ta、Nd または Cr から選ばれた元素を主成分とする膜またはそれらの合金膜またはそれらの積層膜からなることを特徴とする液晶表示装置。

40 【請求項 16】 請求項 1 乃至 15 のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、前記非晶質半導体膜及び前記電極と同一のマスクにより形成されたことを特徴とする液晶表示装置。

【請求項 17】 請求項 1 乃至 16 のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、前記ソース配線と同一のマスクにより形成されたことを特徴とする液晶表示装置。

【請求項 18】 請求項 1 乃至 17 のいずれかにおいて、前記ソース領域及び前記ドレイン領域は、前記ソース配線及び前記画素電極と同一のマスクにより形成されたことを特徴とする液晶表示装置。

50 【請求項 19】 請求項 1 乃至 18 のいずれかにおいて、前記画素電極は前記絶縁膜と接していることを特徴

とする液晶表示装置。

【請求項 20】請求項 1 乃至 19 のいずれかーにおいて、前記非晶質半導体膜のうち、前記ソース領域及びドレイン領域と接する領域における膜厚は、前記ソース領域と接する領域と前記ドレイン領域と接する領域との間の領域における膜厚より厚いことを特徴とする液晶表示装置。

【請求項 21】請求項 1 乃至 20 のいずれかーにおいて、前記非晶質半導体膜のうち、前記ソース領域と接する領域と前記ドレイン領域と接する領域との間の領域は、無機絶縁膜からなる前記ギャップ保持材で覆われ保護されたことを特徴とする液晶表示装置。

【請求項 22】請求項 1 乃至 21 のいずれかーにおいて、前記液晶表示装置は、パーソナルコンピュータ、ビデオカメラ、携帯型情報端末、デジタルカメラ、デジタルビデオディスクプレーヤー、または電子遊技機器である。

【請求項 23】第 1 のマスクで第 1 の基板上にゲート配線を形成する第 1 工程と、

前記ゲート配線を覆う絶縁膜を形成する第 2 工程と、

前記絶縁膜上に第 1 の非晶質半導体膜を形成する第 3 工程と、

前記第 1 の非晶質半導体膜上に n 型を付与する不純物元素を含む第 2 の半導体膜を形成する第 4 工程と、

前記第 2 の非晶質半導体膜上に第 1 の導電膜を形成する第 5 工程と、

第 2 のマスクで前記第 1 の非晶質半導体膜をパターニングし、前記第 2 のマスクで前記第 2 の非晶質半導体膜をパターニングし、前記第 2 のマスクで前記第 1 の導電膜をパターニングして前記第 1 の導電膜からなる配線を形成する第 6 工程と、

前記配線と接して重なる第 2 の導電膜を形成する第 7 工程と、

第 3 のマスクで前記第 2 の導電膜をパターニングし、前記第 2 の導電膜からなる画素電極を形成し、前記第 3 のマスクで前記配線をパターニングしてソース配線及び電極を形成し、前記第 3 のマスクで前記第 2 の非晶質半導体膜をパターニングして前記第 2 の非晶質半導体膜からなるソース領域及びドレイン領域を形成し、前記第 3 のマスクで前記第 1 の非晶質半導体膜の一部除去を行う第 8 工程と、

前記画素電極上に配向膜を形成する第 9 工程と、

前記配向膜上にギャップ保持材を形成する第 10 工程と、

前記第 1 の基板と第 2 の基板とを貼り合わせる第 11 工程と、

前記第 1 の基板と前記第 2 の基板の間に液晶を注入する第 12 工程と、を有することを特徴とする液晶表示装置の作製方法。

【請求項 24】請求項 23 において、前記ギャップ保持

材は、前記第 1 の基板と前記第 2 の基板との間隔を一定に保つことを特徴とする液晶表示装置の作製方法。

【請求項 25】請求項 23 または請求項 24 において、前記ギャップ保持材の側面により前記液晶のプレチルト角を制御して前記液晶を配向することを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は薄膜トランジスタ（以下、TFT という）で構成された回路を有する液晶表示装置およびその作製方法に関する。例えば、液晶表示パネルに代表される電気光学装置およびその様な電気光学装置を部品として搭載した電子機器に関する。

【0002】

【従来の技術】近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数〜数百 nm 程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】従来より、画像表示装置として液晶表示装置が知られている。パッシブ型の液晶表示装置に比べ高精細な画像が得られることからアクティブマトリクス型の液晶表示装置が多く用いられるようになってきている。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0004】このようなアクティブマトリクス型の電気光学装置の用途は広がっており、画面サイズの大面積化とともに、高精細化や高開口率化や高信頼性の要求が高まっている。また、同時に生産性の向上や低コスト化の要求も高まっている。

【0005】従来、透過型の液晶表示装置で使用される液晶層の配向モードとしては、液晶分子の配列が光の入射から出射方向に向かって 90° ツイスト配向した TN モードを使用するのが一般的であった。

【0006】この TN モードの液晶表示装置を作製する際、液晶の配向方向を決めるため、一方の基板と、もう一方の基板に配向膜形成、ラビング処理等を行なう。そして、基板のラビング方向が直交するように貼り合わせる。この一対の基板間に、ツイストの回転方向を決めるカイラル材を混入した液晶材料を注入することにより所定方向にツイストする液晶表示装置が形成される。

【0007】この時、液晶分子は、エネルギー的に最も安定な配列となるように基板面に対して、長軸を平行に配列し、ラビングの条件や配向膜材料により基板面に対

して、数度～10°前後の角度を持って配列する。

【0008】この角度はプレチルト角といわれ、この角度を確保することにより、電界印加時に液晶分子長軸の両端部において、所定の端部を揃えて配列の変形が起こる。これにより動作時の配向が連続的となり、表示時のリバースチルトドメインという配向の欠陥を防ぐことができる。

【0009】しかし、上記TNモードでは、特定の視野角範囲外でコントラスト特性が極端に劣化したり、階調が反転するという現象が発生するといった問題が生じていた。

【0010】これは、電界によって液晶分子の配向状態が基板面に対して垂直となる配列に変形すると、観測者が液晶表示装置を見る角度や方位によって、液晶層中を進む光の距離や、光の通過中の屈折率が変わることから、異なって光学変調される光を見るためである。

【0011】また、このモードでは基板界面近くの液晶分子は強い配向規制力を受けており、初期配向状態がほぼ維持される。このため、かなり高い液晶の飽和電圧（5V以上）を印加しても、この近傍での液晶分子は垂直にはならない。

【0012】これらのことがTNモードの視野特性を狭くしている要因と考えられる。

【0013】また、他の液晶表示モードとして、垂直配向型液晶モードが知られている。この垂直配向型液晶モードは、液晶の初期配向を基板に対して垂直とした配向モードである。このモードは負の誘電率異方性を有するn型液晶材料を用いる。このモードの場合も基板に設けられた電極間に電界を印加することにより表示を実現するものである。

【0014】しかし、液晶の複屈折性を利用するモードであるため若干のプレチルトのバラツキが透過光量もしくは反射光量のバラツキとして目立つ。ラビング処理時のわずかな毛先の接触のしかたの違いにより、スジ状の表示ムラとなり易い問題がある。

【0015】また、ラビング処理自体、基板上的配向膜面を柔らかい毛で擦る処理のため発塵源となっている。さらに静電気の発生にともなう基板上的素子へのストレスや破壊への十分な対策を必要とする。

【0016】このため均一配向を実現し、ラビング処理を行わず液晶を配向させるという方法が一般的に模索されている。例えば、基板上に構造物を形成し、この構造物の液晶と接する面の傾斜や間隔、高さなどの物理的パラメータを調整し、さらに構造物の誘電率による電界の作用を併せることで配向を制御し液晶表示装置を作製する手段が知られている。この方法により、160°以上の広視野角化を実現している。しかし、この方法では、従来のラビング処理が必要なくなる一方、液晶を配向させるための複雑な追加プロセスが必要となっていた。

【0017】

【発明が解決しようとする課題】従来、アクティブマトリクス型の電気光学装置は、写真蝕刻（フォトリソグラフィ）技術により、最低でも5枚以上のフォトマスクを使用してTFTを基板上に作製していたため製造コストが大きかった。生産性を向上させ歩留まりを向上させるためには、工程数を削減することが有効な手段として考えられる。

【0018】具体的には、TFTの製造に要するフォトマスクの枚数を削減することが必要である。フォトマスクはフォトリソグラフィの技術において、エッチング工程のマスクとするフォトリソパターンを基板上に形成するために用いる。

【0019】このフォトマスクを1枚使用することによって、レジスト塗布、プレバーク、露光、現像、ポストバークなどの工程と、その前後の工程において、被膜の成膜およびエッチングなどの工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、煩雑なものとなり、問題となっていた。

【0020】また、基板が絶縁体であるために製造工程中における摩擦などによって静電気が発生していた。この静電気が発生すると基板上に設けられた配線の交差部でショートしたり、静電気によってTFTが劣化または破壊されて電気光学装置に表示欠陥や画質の劣化が生じていた。特に、製造工程で行われる液晶配向処理のラビング処理の際に静電気が発生し問題となっていた。

【0021】本発明はこのような問題に答えるものであり、ラビング処理を削減してアクティブマトリクス型の液晶表示装置に代表される電気光学装置を作製し、さらにTFTを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを課題としている。

【0022】加えて、液晶表示装置の視野特性の改善を図ることを課題としている。

【0023】

【課題を解決するための手段】本明細書で開示する発明の構成は、一対の基板と、前記一対の基板間に保持された液晶とを備えた液晶表示装置であって、前記一対の基板の一方の基板には、ゲート配線と、前記ゲート配線上に絶縁膜と、前記絶縁膜上に非晶質半導体膜と、前記非晶質半導体膜上にソース領域及びドレイン領域と、前記ソース領域または前記ドレイン領域上にソース配線または電極と、前記電極上に形成された画素電極と、前記一対の基板の間隔を一定に保つためのギャップ保持材とが形成され、前記ギャップ保持材の側面により前記液晶のプレチルト角を制御して前記液晶を配向させることを特徴とする液晶表示装置である。

【0024】また、他の発明の構成は、一対の基板と、前記一対の基板間に保持された液晶とを備えた液晶表示装置であって、前記一対の基板の一方の基板には、ゲート配線と、前記ゲート配線上に絶縁膜と、前記絶縁膜上

に非晶質半導体膜と、前記非晶質半導体膜上にソース領域及びドレイン領域と、前記ソース領域または前記ドレイン領域上にソース配線または電極と、前記電極上に形成された画素電極と、前記一对の基板の間隔を一定に保つためのギャップ保持材とが形成され、前記ギャップ保持材の側面と、少なくとも一方の基板に設けられた面の凹部或いは凸部により前記液晶のプレチルト角を制御して前記液晶を配向させることを特徴とする液晶表示装置である。

【0025】上記各構成において、少なくとも一方の前記基板には垂直配向用の配向膜を有している。

【0026】また、上記各構成において、前記ギャップ保持材は、一定のテーパ角を有している。そのテーパ角は、 $75.0^{\circ} \sim 89.9^{\circ}$ 、好ましくは $82^{\circ} \sim 87^{\circ}$ である。また、前記ギャップ保持材は、アクリル系、ポリイミド系、ポリイミドアミド系、エポキシ系の少なくとも一つを主成分とする有機系樹脂材料、もしくは酸化珪素、窒化珪素、酸化窒化珪素のいずれか一種類の材料あるいはこれらの積層膜からなる無機系材料である。

【0027】また、上記各構成において、前記ギャップ保持材の側面付近では液晶分子の長軸方向がその側面に対して概略平行となるような配向規制力を有している。

【0028】また、上記各構成において、前記液晶は負の誘電性異方性を有している。

【0029】また、上記各構成において、前記ドレイン領域または前記ソース領域の一つの端面は、前記非晶質半導体膜の端面及び前記電極の端面と概略一致する。

【0030】また、上記各構成において、前記ドレイン領域または前記ソース領域の一つの端面は、前記非晶質半導体膜の端面及び前記電極の端面と概略一致し、もう一つの端面は、前記画素電極の端面及び前記電極のもう一つの端面と概略一致する。

【0031】また、上記各構成において、前記ソース領域及び前記ドレイン領域は、 n 型を付与する不純物元素を含む非晶質半導体膜からなることを特徴としている。する液晶表示装置。

【0032】また、上記各構成において、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、及び前記ドレイン領域は、大気に曝されることなく連続的に形成されたことを特徴としている。

【0033】また、上記各構成において、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、スパッタ法により形成されたことを特徴としている。

【0034】また、上記各構成において、前記絶縁膜、前記非晶質半導体膜、前記ソース領域、または前記ドレイン領域は、プラズマCVD法により形成されたことを特徴としている。

【0035】また、上記各構成において、前記ソース領

域及び前記ドレイン領域は、前記非晶質半導体膜及び前記電極と同一のマスクにより形成されたことを特徴としている。

【0036】また、上記各構成において、前記ソース領域及び前記ドレイン領域は、前記ソース配線と同一のマスクにより形成されたことを特徴としている。

【0037】また、上記各構成において、前記ソース領域及び前記ドレイン領域は、前記ソース配線及び前記画素電極と同一のマスクにより形成されたことを特徴としている。

【0038】また、上記各構成において、前記画素電極は前記絶縁膜と接していることを特徴としている。

【0039】また、上記各構成において、前記非晶質半導体膜のうち、前記ソース領域及びドレイン領域と接する領域における膜厚は、前記ソース領域と接する領域と前記ドレイン領域と接する領域との間の領域における膜厚より厚いことを特徴としており、チャンネルエッチ型のTFTの活性層として機能する。

【0040】また、上記各構成において、前記非晶質半導体膜のうち、前記ソース領域と接する領域と前記ドレイン領域と接する領域との間の領域は、無機絶縁膜からなる前記ギャップ保持材で覆われ保護されたことを特徴としている。

【0041】また、上記構造を実現するための発明の構成は、第1のマスクで第1の基板の上にゲート配線を形成する第1工程と、前記ゲート配線を覆う絶縁膜を形成する第2工程と、前記絶縁膜上に第1の非晶質半導体膜を形成する第3工程と、前記第1の非晶質半導体膜上に n 型を付与する不純物元素を含む第2の半導体膜を形成する第4工程と、前記第2の非晶質半導体膜上に第1の導電膜を形成する第5工程と、第2のマスクで前記第1の非晶質半導体膜をパターニングし、前記第2のマスクで前記第2の非晶質半導体膜をパターニングして前記第1の導電膜からなる配線を形成する第6工程と、前記配線と接して重なる第2の導電膜を形成する第7工程と、第3のマスクで前記第2の導電膜をパターニングし、前記第2の導電膜からなる画素電極を形成し、前記第3のマスクで前記配線をパターニングしてソース配線及び電極を形成し、前記第3のマスクで前記第2の非晶質半導体膜をパターニングして前記第2の非晶質半導体膜からなるソース領域及びドレイン領域を形成し、前記第3のマスクで前記第1の非晶質半導体膜の一部除去を行う第8工程と、前記画素電極上に配向膜を形成する第9工程と、前記配向膜上にギャップ保持材を形成する第10工程と、前記第1の基板と第2の基板とを貼り合わせる第11工程と、前記第1の基板と前記第2の基板の間に液晶を注入する第12工程と、を有することを特徴とする液晶表示装置の作製方法である。

【0042】上記構成において、前記ギャップ保持材

は、前記第 1 の基板と前記第 2 の基板との間隔を一定に保つことを特徴としている。する液晶表示装置の作製方法。

【0043】また、上記構成において、前記ギャップ保持材の側面により前記液晶のプレチルト角を制御して前記液晶を配向する。また、前記液晶のプレチルト角の制御を前記配向膜で行う。前記配向膜は第 1 の基板または第 2 の基板の一方、あるいは両方に設ければよい。

【0044】

【発明の実施の形態】本願発明の実施形態について、以下に説明する。

【0045】上記課題を解決するために、本発明では、チャンネル・エッチ型のボトムゲート TFT 構造を採用し、ソース領域及びドレイン領域のパターニングと画素電極のパターニングを同じフォトマスクで行うことを特徴とする。

【0046】以下に本発明の作製方法を簡略に説明する。

【0047】まず、第 1 のマスク（フォトマスク 1 枚目）でゲート配線 102 を形成する。

【0048】次いで、絶縁膜（ゲート絶縁膜）104a、第 1 の非晶質半導体膜 105、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 106、及び第 1 の導電膜 107 を順次、積層形成する。（図 2（A））なお、非晶質半導体膜に代えて微結晶半導体膜を用いてもよいし、n 型を付与する不純物元素を含む非晶質半導体膜に代えて n 型を付与する不純物元素を含む微結晶半導体膜を用いてもよい。さらに、これらの膜（104a、105、106、107）はスパッタ法やプラズマ CVD 法を用いて複数のチャンバー内または同一チャンバー内で連続的に大気に曝すことなく形成することができる。大気に曝さないようにすることで不純物の混入を防止できる。

【0049】次いで、第 2 のマスク（フォトマスク 2 枚目）で上記第 1 の導電膜 107 をパターニングして第 1 の導電膜からなる配線（後にソース配線及び電極（ドレイン電極）となる）111 を形成し、上記第 2 の非晶質半導体膜 106 をパターニングして n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 110 を形成し、上記第 1 の非晶質半導体膜 105 をパターニングして第 1 の非晶質半導体膜 109 を形成する。（図 2（B））

【0050】その後、全面に第 2 の導電膜 112 を成膜する。（図 2（D））なお、第 2 の導電膜 112 としては、透明導電膜を用いてもよいし、反射性を有する導電膜を用いてもよい。

【0051】次いで、第 3 のマスク（フォトマスク 3 枚目）で上記第 2 の導電膜 112 をパターニングして第 2 の導電膜からなる画素電極 119 を形成し、上記配線をパターニングしてソース配線 117 及び電極（ドレイン電極）118 を形成し、n 型を付与する不純物元素を含

む第 2 の非晶質半導体膜 110 をパターニングして n 型を付与する不純物元素を含む第 2 の非晶質半導体膜からなるソース領域 115 及びドレイン領域 116 を形成し、上記第 1 の非晶質半導体膜 109 を一部除去して第 1 の非晶質半導体膜 114 を形成する。（図 3（A））

【0052】このような構成とすることで、画素 TFT 部の作製する際、フォトリソグラフィ技術で使用するフォトマスクの数を 3 枚とすることができる。

【0053】さらに、本発明では工程を増やすことなく、ラビング処理を行わずに液晶表示装置を作製する。

【0054】本発明は、図 1 に示すように、一対の基板（基板 100 と対向基板 124）間の間隔を一定に保つためのギャップ保持材を設ける。ここではギャップ保持材として、壁状スペーサ 121、122 に傾斜した側面を持たせ、負の誘電性異方性を有する液晶のプレチルト角を制御し、液晶を配向させる。

【0055】本明細書では、上記壁状スペーサ 121、122 の断面形状は、例えば図 17（a）または図 17（b）とする。特に、図 17（a）のようにテーパ角 α をその断面である台形の底面と側面とがなす角と定義する。本発明において、テーパ角 α は、 $75.0^\circ \sim 89.9^\circ$ 好ましくは $82^\circ \sim 87^\circ$ の角度とすることが望ましい。

【0056】図 1 中の液晶分子の配向は、電圧無印加時の概略図を示している。なお、黒く塗りつぶした部分は、対向基板に近い液晶分子の端部を示している。

【0057】電圧無印加時には、液晶分子は、壁状スペーサの側面から規制力を受け、側面にほぼ平行に配向し、あるプレチルト角を有して基板表面に垂直に配向するが、電圧印加時には液晶分子は基板表面に平行に配向する。

【0058】つまり、このテーパ角 α の側面を備えた壁状スペーサを用いることにより、液晶分子のスイッチングする方向を制御できる。

【0059】また、上記壁状スペーサはフォトリソグラフィ法または印刷法により形成する。また、上記壁状スペーサを形成する前または後に、垂直配向用の配向膜を形成する。

【0060】また、上記壁状スペーサは基板 100 のみに設けてもよいし、あるいは対向基板 124 のみに設けてもよい。また、上記壁状スペーサを基板 100 と対向基板 124 の両方に設けてもよい。アクティブマトリクス基板作製時のフォトマスクの枚数を削減することを優先するならば、印刷法による形成方法を用いるか、対向基板のみに設けることが好ましい。対向基板に壁状スペーサを設けた液晶表示装置をノーマリーホワイトモードに適用した場合には、壁状スペーサの周囲の配向乱れ部分や配向乱れによるしきい値電圧の不均一部分は、表示認識者からは、壁状スペーサ自身により隠され、光漏れを低減することができる。よって、壁状スペーサによる

光漏れを抑えることにより、コントラストの高い良好な表示品位の液晶表示装置を得ることができる。

【0061】上記壁状スペーサとしては、アクリル系、ポリイミド系、ポリイミドアミド系、エポキシ系の少なくとも一つを主成分とする有機系樹脂材料、もしくは酸化珪素、窒化珪素、酸化窒化珪素のいずれか一種類の材料あるいはこれらの積層膜からなる無機系材料を用いることができる。

【0062】また、無機系材料、例えば窒化珪素を用いた壁状スペーサを上記チャネル・エッチ型のTFT、特に非晶質半導体膜114が露呈している部分を覆うように配置すれば、保護膜としての効果が得られ、信頼性が向上する。

【0063】また、ゲート配線やソース配線や容量配線等の配線及び電極の配置を適宜所定の位置に配置して形成される凸凹部と、適宜所定の位置に配置された上記壁状スペーサとの両方によって、液晶のプレチルト角を制御し、液晶を配向させてもよい。

【0064】本発明を用いた場合、静電破壊を引き起こすラビング処理に相当する配向処理を省くことができ、また、壁状スペーサが基板間隔を保持する役割をもっているため、球状スペーサ散布工程の省略が可能となり、生産性が向上する。さらに、基板上に形成された壁状スペーサの均一性を検査するだけで、表示むらの発生を予測できる利点をも有している。

【0065】また、上面から見た壁状スペーサの形状は、ストライプ状、T字状、はしご状が可能であるが、本実施形態は、これらの形状に限定されるものではない。

【0066】以上の構成でなる本願発明について、以下に示す実施例でもってさらに詳細な説明を行うこととする。

【0067】

【実施例】【実施例1】本発明の実施例を図1～図7、図9、及び図17を用いて説明する。本実施例は液晶表示パネルの作製方法を示し、基板上に画素部のTFTを逆スタガ型で形成し、該TFTに接続する保持容量を作製する方法について工程に従って詳細に説明する。また、同図には該基板の端部に設けられ、他の基板に設けた回路の配線と電気的に接続するための端子部の作製工程を同時に示す。

【0068】図2(A)において、透光性を有する基板100にはコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。その他に、石英基板、プラスチック基板などの透光性基板を使用することもできる。

【0069】次いで、導電層を基板全面に形成した後、第1のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して配

線及び電極（ゲート電極を含むゲート配線102、容量配線103、及び端子101）を形成する。このとき少なくともゲート電極102の端部にテーパー部が形成されるようにエッチングする。この段階での上面図を図4に示した。

【0070】ゲート電極を含むゲート配線102と容量配線103、端子部の端子101は、アルミニウム（Al）や銅（Cu）などの低抵抗導電性材料で形成することが望ましいが、Al単体では耐熱性が劣り、また腐蝕しやすい等の問題点があるので耐熱性導電性材料と組み合わせ形成する。また、低抵抗導電性材料としてAgPdCu合金を用いてもよい。耐熱性導電性材料としては、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジム）から選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜、または前記元素を成分とする窒化物で形成する。例えば、TiとCuの積層、Ta₂NとCuとの積層が挙げられる。また、Ti、Si、Cr、Nd等の耐熱性導電性材料と組み合わせ形成した場合、平坦性が向上するため好ましい。また、このような耐熱性導電性材料のみ、例えばMoとWを組み合わせ形成してもよい。

【0071】液晶表示装置を実現するためには、ゲート電極およびゲート配線は耐熱性導電性材料と低抵抗導電性材料とを組み合わせ形成することが望ましい。この時の適した組み合わせを説明する。

【0072】画面サイズが5型程度までなら耐熱性導電性材料の窒化物から成る導電層（A）と耐熱性導電性材料から成る導電層（B）とを積層した二層構造とする。導電層（B）はAl、Cu、Ta、Ti、W、Nd、Crから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜で形成すれば良く、導電層（A）は窒化タンタル（Ta₂N）膜、窒化タングステン（WN）膜、窒化チタン（TiN）膜などで形成する。例えば、導電層（A）としてCr、導電層（B）としてNdを含有するAlとを積層した二層構造とすることが好ましい。導電層（A）は10～100nm（好ましくは20～50nm）とし、導電層（B）は200～400nm（好ましくは250～350nm）とする。

【0073】一方、大画面に適用するには耐熱性導電性材料から成る導電層（A）と低抵抗導電性材料から成る導電層（B）と耐熱性導電性材料から成る導電層（C）とを積層した三層構造とすることが好ましい。低抵抗導電性材料から成る導電層（B）は、アルミニウム（Al）を成分とする材料で形成し、純Alの他に、0.01～5atomic%のスカンジウム（Sc）、Ti、Nd、シリコン（Si）等を含有するAlを使用する。導電層（C）は導電層（B）のAlにヒロックが発生するのを防ぐ効果がある。導電層（A）は10～100nm（好

ましくは20~50nm)とし、導電層(B)は200~400nm(好ましくは250~350nm)とし、導電層(C)は10~100nm(好ましくは20~50nm)とする。本実施例では、Tiをターゲットとしたスパッタ法により導電層(A)をTi膜で50nmの厚さに形成し、Alをターゲットとしたスパッタ法により導電層(B)をAl膜で200nmの厚さに形成し、Tiをターゲットとしたスパッタ法により導電層(C)をTi膜で50nmの厚さに形成した。

【0074】次いで、絶縁膜104aを全面に成膜する。絶縁膜104aはスパッタ法を用い、膜厚を50~200nmとする。

【0075】例えば、絶縁膜104aとして窒化シリコン膜を用い、150nmの厚さで形成する。勿論、ゲート絶縁膜はこのような窒化シリコン膜に限定されるものでなく、酸化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。例えば、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

【0076】次に、絶縁膜104a上に50~200nm(好ましくは100~150nm)の厚さで第1の非晶質半導体膜105を、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する(図示せず)。代表的には、シリコンのターゲットを用いたスパッタ法で非晶質シリコン(a-Si)膜を100nmの厚さに形成する。その他、この第1の非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜($\text{Si}_x\text{Ge}_{1-x}$ 、 $(0 < x < 1)$)、非晶質シリコンカーバイト(Si_xC_y)などの非晶質構造を有する化合物半導体膜を適用することも可能である。

【0077】次に、一導電型(n型またはp型)の不純物元素を含有する第2の非晶質半導体膜を20~80nmの厚さで形成する。一導電型(n型またはp型)を付与する不純物元素を含む第2の非晶質半導体膜は、プラズマCVD法やスパッタ法などの公知の方法で全面に形成する。本実施例では、リン(P)が添加されたシリコンターゲットを用いてn型の不純物元素を含有する第2の非晶質半導体膜106を形成した。あるいは、シリコンターゲットを用い、リンを含む雰囲気中でスパッタリングを行い成膜してもよい。或いは、n型を付与する不純物元素を含む第2の非晶質半導体膜を水素化微結晶シリコン膜($\mu\text{c-Si:H}$)で形成しても良い。

【0078】次に、金属材料からなる第1の導電膜107をスパッタ法や真空蒸着法で形成する。第1の導電膜107の材料としては、第2の非晶質半導体膜106とオーミックコンタクトのとれる金属材料であれば特に限定されず、Al、Cr、Ta、Tiから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜等が挙げられる。本実施例ではスパッタ法

を用い、第1の導電膜107として、50~150nmの厚さで形成したTi膜と、そのTi膜上に重ねてアルミニウム(Al)を300~400nmの厚さで形成し、さらにその上にTi膜を100~150nmの厚さで形成した。(図2(A))

【0079】絶縁膜104a、第1の非晶質半導体膜105、n型を付与する不純物元素を含む第2の非晶質半導体膜106、及び第1の導電膜107はいずれも公知の方法で作製するものであり、プラズマCVD法やスパッタ法で作製することができる。本実施例では、これらの膜(104a、105、106、107)をスパッタ法で、ターゲット及びスパッタガスを適宜切り替えることにより連続的に形成した。この時、スパッタ装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることが好ましい。このように、大気に曝さないことで不純物の混入を防止することができる。

【0080】次に、第2のフォトリソグラフィ工程を行い、レジストマスク108を形成し、エッチングにより不要な部分を除去して配線(後の工程によりソース配線及びドレイン電極となる)111を形成する。この際のエッチング方法としてウエットエッチングまたはドライエッチングを用いる。この時、第1の導電膜107、n型を付与する不純物元素を含む第2の非晶質半導体膜106、及び第1の非晶質半導体膜105が順次、レジストマスク108をマスクとしてエッチングされ、画素TFT部においては、第1の導電膜からなる配線111、n型を付与する不純物元素を含む第2の非晶質半導体膜110、及び第1の非晶質半導体膜109がそれぞれ形成される。本実施例では、 SiCl_4 と Cl_2 と BCl_3 の混合ガスを反応ガスとしたドライエッチングにより、Ti膜とAl膜とTi膜を順次積層した第1の導電膜107をエッチングし、反応ガスを CF_4 と O_2 の混合ガスに代えて第1の非晶質半導体膜105及びn型を付与する不純物元素を含む第2の非晶質半導体膜106を選択的に除去した。(図2(B))また、容量部においては容量配線103と絶縁膜104aを残し、同様に端子部においても、端子101と絶縁膜104aが残る。

【0081】次に、レジストマスク108を除去した後、シャドーマスクを用いてレジストマスクを形成し、端子部のパッド部分を覆っている絶縁膜104aを選択的に除去して絶縁膜104bを形成した後、レジストマスクを除去する。(図2(C))また、シャドーマスクに代えてスクリーン印刷法によりレジストマスクを形成してエッチングマスクとしてもよい。

【0082】次に、全面に透明導電膜からなる第2の導電膜112を成膜する。(図2(D))また、この時の上面図を図5に示す。ただし、簡略化のため図5では全面に成膜された第2の導電膜112は図示していない。

【0083】この第2の導電膜112の材料は、酸化イ

ンジウム (In_2O_3) や酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITO と略記する) などをスパッタ法や真空蒸着法などを用いて形成する。このような材料のエッチング処理は塩酸系の溶液により行う。しかし、特に ITO のエッチングは残渣が発生しやすいので、エッチング加工性を改善するために酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3-\text{ZnO}$) を用いても良い。酸化インジウム酸化亜鉛合金は表面平滑性に優れ、ITO と比較して熱安定性にも優れているので、第 2 の導電膜 112 と接触する配線 111 を A1 膜で形成しても腐蝕反応をすることを防止できる。同様に、酸化亜鉛 (ZnO) も適した材料であり、さらに可視光の透過率や導電率を高めるためにガリウム (Ga) を添加した酸化亜鉛 ($\text{ZnO}:\text{Ga}$) などを用いることができる。

【0084】次に、第 3 のフォトリソグラフィ工程を行い、レジストマスク 113a~113c を形成し、エッチングにより不要な部分を除去して第 1 の非晶質半導体膜 114、ソース領域 115 及びドレイン領域 116、ソース電極 117 及びドレイン電極 118、画素電極 119 を形成する。(図 3 (A))

【0085】この第 3 のフォトリソグラフィ工程は、第 2 の導電膜 112 をパターンニングすると同時に、配線 111 と n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 110 と第 1 の非晶質半導体膜 109 の一部をエッチングにより除去して開孔を形成する。本実施例では、まず、ITO からなる第 2 の導電膜 112 を硝酸と塩酸の混合溶液または塩化系第 2 鉄系の溶液を用いたウェットエッチングにより選択的に除去し、ウェットエッチングにより配線 111 を選択的に除去した後、ドライエッチングにより n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 110 と非晶質半導体膜 109 の一部をエッチングした。なお、本実施例では、ウェットエッチングとドライエッチングとを用いたが、実施者が反応ガスを適宜選択してドライエッチングのみで行ってもよいし、実施者が反応溶液を適宜選択してウェットエッチングのみで行ってもよい。

【0086】また、開孔の底部は第 1 の非晶質半導体膜に達しており、凹部を有する第 1 の非晶質半導体膜 114 が形成される。この開孔によって配線 111 はソース配線 117 とドレイン電極 118 に分離され、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 110 はソース領域 115 とドレイン領域 116 に分離される。また、ソース配線と接する第 2 の導電膜 120 は、ソース配線を覆い、後の製造工程、特にラビング処理で生じる静電気を防止する役目を果たす。本実施例では、ソース配線上に第 2 の導電膜 120 を形成した例を示したが、第 2 の導電膜 120 を除去してもよい。

【0087】また、この第 3 のフォトリソグラフィ工程において、容量部における絶縁膜 104b を誘電体として、容量配線 103 と画素電極 119 とで保持容量が

形成される。

【0088】また、この第 3 のフォトリソグラフィ工程において、レジストマスク 113c で覆い端子部に形成された透明導電膜からなる第 2 の導電膜を残す。

【0089】次に、レジストマスク 113a~113c を除去した。この状態の断面図を図 3 (B) に示した。なお、図 6 は 1 つの画素の上面図であり、A-A' 線及び B-B' 線に沿った断面図がそれぞれ図 3 (B) に相当する。

【0090】また、図 9 (A) は、この状態でのゲート配線端子部 501、及びソース配線端子部 502 の上面図をそれぞれ図示している。なお、図 1~図 3 と対応する箇所には同じ符号を用いている。また、図 9 (B) は図 9 (A) 中の E-E' 線及び F-F' 線に沿った断面図に相当する。図 9 (A) において、透明導電膜からなる 503 は入力端子として機能する接続用の電極である。また、図 9 (B) において、504 は絶縁膜 (104b から延在する)、505 は第 1 の非晶質半導体膜 (114 から延在する)、506 は n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 (115 から延在する) である。

【0091】こうして 3 回のフォトリソグラフィ工程により、3 枚のフォトマスクを使用して、逆スタガ型の n チャネル型 TFT 201 を有する画素 TFT 部、保持容量 202 を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の電気光学装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0092】次ぎにアクティブマトリクス基板上に配向膜 131、132 を形成する。ここでは JALS-2021 (JSR 社製) を印刷法により形成し、焼成した。

【0093】配向膜形成後、基板間隔を保つギャップ保持材、本実施例では図 17 (a) に示したような壁状スペーサ 127 を第 4 のフォトリソグラフィ工程を行って形成した。また、ネガ型樹脂を基板背面から露光する工程を用いてもよい。また、ドライエッチング法やプラズマエッチング法を用いても、前述の形状を有する壁状スペーサの形成が可能である。

【0094】まず、感光性アクリル材料を主成分とした材料の NN700 (JSR 製) をスピナーで基板全面に 4.2 μm の膜厚で成膜した。形成の容易さからアクリル樹脂を用いた。本発明で用いたアクリル樹脂 NN700 の誘電率は、3.4 である。次いで、レジストマスクを形成し、エッチングにより不要な部分を除去して図 17 (a) に示したような形状の壁状スペーサを形成する。頭頂部を平坦な形状となるようにした場合、液晶表示パネルとしての機械的な強度を確保できた。SEM 観察を行ったところ、この壁状スペーサの高さは 4 μm で

あった。なお、壁状スペーサのテーパ角は、 $75.0^\circ \sim 89.9^\circ$ 好ましくは $82^\circ \sim 87^\circ$ の角度を有することが望ましい。

【0095】次いで、アクティブマトリクス基板と、上記壁状スペーサと同様に形成された壁状スペーサ122が設けられた対向基板124とを壁状スペーサ121、122で基板間隔を保持しながらシール剤により貼り合わせた後、アクティブマトリクス基板と対向基板の間に液晶材料125を注入する。液晶材料125は負の誘電性異方性を有する液晶材料（n型液晶）、本実施例ではMLC-2038（メルク製）を用いる。プレチルト角を測定したところ、プレチルト角は $2 \sim 5^\circ$ の範囲内に制御することができ、表示領域では 3° でほぼ均一となった。よって、NN700の表面付近では液晶分子の長軸方向をその表面に対して概略平行となるような配向規制力をしている。

【0096】次いで、液晶材料を注入した後、注入口は樹脂材料で封止する。

【0097】以上の工程により、図1で示すような状態が得られる。なお、図1では簡略化のため、3つの壁状スペーサとその間の液晶分子の状態のみを示した。

【0098】この状態において電圧無印加時は、壁状スペーサ121、122の側面の影響を受けて、その側面とほぼ平行に液晶分子が配列する。そして、側面付近以外の液晶分子もこれらの液晶分子の影響を受ける。こうして、画素全体にわたって数度のプレチルト角を有する安定した配向が得られる。液晶のしきい値以上の電圧を印加することにより、このプレチルト角で決定される傾斜方向に一樣な動作をする。すなわち、壁状スペーサ121、122を用いることにより、表示部全体の配向が制御される。

【0099】また、両方の基板に設けられた壁状スペーサ121、122の上面図を図18(a)に示した。点線X-X'で切断した面が図1の断面図に対応している。

【0100】次に、端子部の入力端子101にフレキシブルプリント配線板（Flexible Printed Circuit: FPC）を接続する。FPCはポリイミドなどの有機樹脂フィルム129に銅配線128が形成されていて、異方性導電性接着剤で入力端子を覆う透明導電膜と接続する。異方性導電性接着剤は接着剤126と、その中に混入され金などがメッキされた数十～数百 μm 径の導電性表面を有する粒子127により構成され、この粒子127が入力端子101上の透明導電膜と銅配線128とに接触することによりこの部分で電気的な接触が形成される。さらに、この部分の機械的強度を高めるために樹脂層130を設ける。（図3（C））

【0101】図7はアクティブマトリクス基板の画素部と端子部の配置を説明する図である。基板210上には画素部211が設けられ、画素部にはゲート配線208

とソース配線207が交差して形成され、これに接続するnチャネル型TFT201が各画素に対応して設けられている。nチャネル型TFT201のドレイン側には画素電極119及び保持容量202が接続し、保持容量202のもう一方の端子は容量配線209に接続している。nチャネル型TFT201と保持容量202の構造は図3（B）で示すnチャネル型TFT201と保持容量202と同じものとする。

【0102】基板の一方の端部には、走査信号を入力する入力端子部205が形成され、接続配線206によってゲート配線208に接続している。また、他の端部には画像信号を入力する入力端子部203が形成され、接続配線204によってソース配線207に接続している。ゲート配線208、ソース配線207、容量配線209は画素密度に応じて複数本設けられるものである。また、画像信号を入力する入力端子部212と接続配線213を設け、入力端子部203と交互にソース配線と接続させても良い。入力端子部203、205、212はそれぞれ任意な数で設ければ良いものとし、実施者が適宜決定すれば良い。

【0103】こうして本実施例では、4回のフォトリソグラフィ工程により、4枚のフォトマスクを使用して、アクティブマトリクス型の液晶表示パネルを作製することができる。

【0104】本実施例では、壁状スペーサを用いたが、柱スペーサを用いてその周辺をマルチドメイン配向させてもよい。

【0105】〔実施例2〕図8は液晶表示パネルの実装方法の一例である。液晶表示パネルには、TFTが作製された基板301の端部には、入力端子部302が形成され、これは実施例1で示したようにゲート配線と同じ材料で形成される端子303で形成される。そして対向基板304とスペーサ306を内包するシール剤305により貼り合わされ、さらに偏光板307、308、カラーフィルタ（図示しない）が設けられている。そして、スペーサ322によって筐体321に固定される。

【0106】なお、実施例1により得られる非晶質シリコン膜で活性層を形成したTFTは、電界効果移動度が小さく $1\text{cm}^2/\text{Vsec}$ 程度しか得られていない。そのため、画像表示を行うための駆動回路はICチップで形成され、TAB（tape automated bonding）方式やCOG（chip on glass）方式で実装されている。本実施例では、ICチップ313に駆動回路を形成し、TAB方式で実装する例を示す。これにはフレキシブルプリント配線板（Flexible Printed Circuit: FPC）が用いられ、FPCはポリイミドなどの有機樹脂フィルム309に銅配線310が形成されていて、異方性導電性接着剤で入力端子302と接続する。入力端子は配線303上に接して設けられた透明導電膜である。異方性導電性接着剤は接着剤311と、その中に混入され金などがメッ

キされた数十～数百 μm 径の導電性表面を有する粒子312により構成され、この粒子312が入力端子302と銅配線310とに接触することにより、この部分で電氣的な接触が形成される。そして、この部分の機械的強度を高めるために樹脂層318が設けられている。

【0107】ICチップ313はバンプ314で銅配線310に接続し、樹脂材料315で封止されている。そして銅配線310は接続端子316でその他の信号処理回路、増幅回路、電源回路などが形成されたプリント基板317に接続されている。そして、透過型の液晶表示パネルでは対向基板304に光源319と光導光体320が設けられてバックライトとして使用される。

【0108】こうして、実施例1の液晶表示パネルを用いることにより、ギャップムラの少ない広視野角表示のマルチドメイン垂直配向型の液晶表示装置を得ることができた。

【0109】〔実施例3〕本実施例では、保護膜を形成して液晶表示パネルを作成した例を図14に示す。なお、本実施例は、実施例1の図3(B)の状態まで同一であるので異なる点について以下に説明する。また、図3(B)に対応する箇所は同一の符号を用いた。

【0110】まず、実施例1に従って図3(B)の状態を得た後、薄い無機絶縁膜を全面に形成する。この薄い無機絶縁膜としては、スパッタ法またはプラズマCVD法で形成する酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの無機絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。

【0111】次いで、第4のフォトリソグラフィ工程を行い、レジストマスクを形成し、エッチングにより不要な部分を除去して、画素TFT部においては絶縁膜402、端子部においては無機絶縁膜401をそれぞれ形成する。この無機絶縁膜401、402は、パッシベーション膜として機能する。また、端子部においては、第4のフォトリソグラフィ工程により薄い無機絶縁膜401を除去して、端子部の端子101上に形成された透明導電膜からなる第2の導電膜を露呈させる。

【0112】以下の工程は、実施例1に従えば、図14に示す状態を得ることができる。ただし、実施例1中の壁状スペーサ作製時の第4のフォトリソグラフィ工程は、第5のフォトリソグラフィ工程と呼ぶ。

【0113】こうして本実施例では、5回のフォトリソグラフィ工程により、5枚のフォトマスクを使用して、無機絶縁膜で保護された逆スタガ型のnチャネル型TFT、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置した画素部を備えた基板を一方の基板とするアクティブマトリクス型の液晶表示パネルができる。

【0114】なお、本実施例は、実施例1または実施例2の構成と自由に組み合わせることが可能である。

【0115】実施例1では、絶縁膜、第1の非晶質半導体膜、n型を付与する不純物元素を含む第2の非晶質半導体膜、及び第1の導電膜をスパッタ法で積層形成した例を示したが、本実施例では、プラズマCVD法を用いた例を示す。

【0116】本実施例では、絶縁膜、第1の非晶質半導体膜、及びn型を付与する不純物元素を含む第2の非晶質半導体膜をプラズマCVD法で形成した。

【0117】本実施例では、絶縁膜として酸化窒化シリコン膜を用い、プラズマCVD法により150nmの厚さで形成する。この時、プラズマCVD装置において、電源周波数13～70MHz、好ましくは27～60MHzで行えばよい。電源周波数27～60MHzを使うことにより緻密な絶縁膜を形成することができ、ゲート絶縁膜としての耐圧を高めることができる。また、SiH₄とNH₃にN₂Oを添加させて作製された酸化窒化シリコン膜は、膜中の固定電荷密度が低減されているので、この用途に対して好ましい材料となる。勿論、ゲート絶縁膜はこのような酸化窒化シリコン膜に限定されるものでなく、酸化シリコン膜、窒化シリコン膜、酸化タンタル膜などの他の絶縁膜を用い、これらの材料から成る単層または積層構造として形成しても良い。また、下層を窒化シリコン膜とし、上層を酸化シリコン膜とする積層構造としても良い。

【0118】例えば、酸化シリコン膜を用いる場合には、プラズマCVD法で、オルトケイ酸テトラエチル(Tetraethyl Orthosilicate: TEOS)とO₂とを混合し、反応圧力40Pa、基板温度250～350℃とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製された酸化シリコン膜は、その後300～400℃の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0119】また、第1の非晶質半導体膜として、代表的には、プラズマCVD法で水素化非晶質シリコン(a-Si:H)膜を100nmの厚さに形成する。この時、プラズマCVD装置において、電源周波数13～70MHz、好ましくは27～60MHzで行えばよい。電源周波数27～60MHzを使うことにより成膜速度を向上することが可能となり、成膜された膜は、欠陥密度の少ないa-Si膜となるため好ましい。その他、この第1の非晶質半導体膜には、微結晶半導体膜、非晶質シリコンゲルマニウム膜などの非晶質構造を有する化合物半導体膜を適用することも可能である。

【0120】また、上記絶縁膜及び上記第1の非晶質半導体膜のプラズマCVD法による成膜において、100～100kHzのパルス変調放電を行えば、プラズマCVD法の気相反応によるパーティクルの発生を防ぐことができ、成膜においてピンホールの発生を防ぐことができるため好ましい。

【0121】また、本実施例では、一導電型の不純物元素を含有する半導体膜として、n型を付与する不純物元素を含む第2の非晶質半導体膜を20～80nmの厚さで形成する。例えば、n型の不純物元素を含有するa-Si:H膜を形成すれば良く、そのためにシラン(SiH₄)に対して0.1～5%の濃度でフォスフィン(PH₃)を添加する。或いは、n型を付与する不純物元素を含む第2の非晶質半導体膜106に代えて水素化微結晶シリコン膜(μc-Si:H)を用いても良い。

【0122】これらの膜は、反応ガスを適宜切り替えることにより、連続的に形成することができる。また、プラズマCVD装置において、同一の反応室または複数の反応室を用い、これらの膜を大気に晒すことなく連続して積層させることもできる。このように、大気に曝さないうで連続成膜することで特に、第1の非晶質半導体膜への不純物の混入を防止することができる。

【0123】なお、本実施例は、実施例1乃至3のいずれか一と組み合わせることが可能である。

【0124】〔実施例5〕実施例1または実施例4では、絶縁膜、第1の非晶質半導体膜、n型を付与する不純物元素を含む第2の非晶質半導体膜、第1の導電膜を順次、連続的に積層する例を示した。このように連続的に成膜する場合において使用する複数のチャンバーを備えた装置の一例を図10に示した。

【0125】図10に本実施例で示す装置(連続成膜システム)の上面からみた概要を示す。図10において、10～15が気密性を有するチャンバーである。各チャンバーには、真空排気ポンプ、不活性ガス導入系が配置されている。

【0126】10、15で示されるチャンバーは、試料(処理基板)30をシステムに搬入するためのロードロック室である。11は絶縁膜104を成膜するための第1のチャンバーである。12は第1の非晶質半導体膜105を成膜するための第2のチャンバーである。13はn型を付与する第2の非晶質半導体膜106を成膜するための第3のチャンバーである。14は第1の導電膜107を成膜するための第4のチャンバーである。また、20は各チャンバーに対して共通に配置された試料の共通室である。

【0127】以下に動作の一例を示す。

【0128】最初、全てのチャンバーは、一度高真空状態に真空引きされた後、さらに不活性ガス、ここでは窒素によりパージされている状態(常圧)とする。また、全てのゲート弁22～27を閉鎖した状態とする。

【0129】まず、処理基板は多数枚が収納されたカセット28ごとロードロック室10に搬入される。カセットの搬入後、図示しないロードロック室の扉を閉鎖する。この状態において、ゲート弁22を開けてカセットから処理基板30を1枚取り出し、ロボットアーム21によって共通室20に取り出す。この際、共通室におい

て位置合わせが行われる。なお、この基板30は実施例1に従って得られた配線101、102、103が形成されたものを用いた。

【0130】ここでゲート弁22を閉鎖し、次いでゲート弁23を開ける。そして第1のチャンバー11へ処理基板30を移送する。第1のチャンバー内では150℃から300℃の温度で成膜処理を行い、絶縁膜104を得る。なお、絶縁膜としては、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、またはこれらの積層膜等を使用することができる。本実施例では単層の窒化珪素膜を採用しているが、二層または三層以上の積層構造としてもよい。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【0131】絶縁膜の成膜終了後、処理基板はロボットアームによって共通室に引き出され、第2のチャンバー12に移送される。第2のチャンバー内では第1のチャンバーと同様に150℃～300℃の温度で成膜処理を行い、プラズマCVD法で第1の非晶質半導体膜105を得る。なお、第1の非晶質半導体膜としては、微結晶半導体膜、非晶質ゲルマニウム膜、非晶質シリコンゲルマニウム膜、またはこれらの積層膜等を使用することができる。また、第1の非晶質半導体膜の形成温度を350℃～500℃として水素濃度を低減するための熱処理を省略してもよい。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【0132】第1の非晶質半導体膜の成膜終了後、処理基板は共通室に引き出され、第3のチャンバー13に移送される。第3のチャンバー内では第2のチャンバーと同様に150℃～300℃の温度で成膜処理を行い、プラズマCVD法でn型を付与する不純物元素(PまたはAs)を含む第2の非晶質半導体膜106を得る。なお、ここではプラズマCVD法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【0133】n型を付与する不純物元素を含む第2の非晶質半導体膜の成膜終了後、処理基板は共通室に引き出され、第4のチャンバー14に移送される。第4のチャンバー内では金属ターゲットを用いたスパッタ法で第1の導電膜107を得る。

【0134】このようにして四層が連続的に成膜された被処理基板はロボットアームによってロードロック室15に移送されカセット29に収納される。

【0135】なお、図10に示した装置は一例に過ぎないことはいうまでもない。また、本実施例は実施例1乃至4のいずれか一と自由に組み合わせることが必要である。

【0136】〔実施例6〕実施例5では、複数のチャンバーを用いて連続的に積層する例を示したが、本実施例

では図 11 に示した装置を用いて一つのチャンバー内で高真空を保ったまま連続的に積層した。

【0137】本実施例では図 11 に示した装置システムを用いた。図 11 において、40 は処理基板、50 は共通室、44、46 はロードロック室、45 はチャンバー、42、43 はカセットである。本実施例では基板搬送時に生じる汚染を防ぐために同一チャンバーで積層形成した。

【0138】本実施例は実施例 1 乃至 4 のいずれか一と自由に組み合わせることができる。

【0139】ただし、実施例 1 に適用する場合には、チャンバー 45 に複数のターゲットを用意し、順次、反応ガスを入れ替えて絶縁膜 104、第 1 の非晶質半導体膜 105、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 106、第 1 の導電膜 107 を積層形成すればよい。

【0140】また、実施例 4 に適用する場合には、順次、反応ガスを入れ替えて絶縁膜 104、第 1 の非晶質半導体膜 105、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 106 を積層形成すればよい。

【0141】〔実施例 7〕実施例 1 では、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜をスパッタ法で形成した例を示したが、本実施例では、プラズマ CVD 法で形成する例を示す。なお、本実施例は n 型を付与する不純物元素を含む第 2 の非晶質半導体膜の形成方法以外は実施例 1 と同一であるため異なる点についてのみ以下に述べる。

【0142】プラズマ CVD 法を用い、反応ガスとしてシラン (SiH_4) に対して 0.1~5% の濃度でフォスフィン (PH_3) を添加すれば、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜を得ることができる。

【0143】〔実施例 8〕実施例 7 では、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜をプラズマ CVD 法で形成した例を示したが、本実施例では、n 型を付与する不純物元素を含む微結晶半導体膜を用いた例を示す。

【0144】形成温度を 80~300℃、好ましくは 140~200℃ とし、水素で希釈したシランガス ($\text{SiH}_4 : \text{H}_2 = 1 : 10 \sim 100$) とフォスフィン (PH_3) との混合ガスを反応ガスとし、ガス圧を 0.1~10 Torr、放電電力を 10~300 mW/cm² とすることで微結晶珪素膜を得ることができる。また、この微結晶珪素膜成膜後にリンをプラズマドーピングして形成してもよい。

【0145】〔実施例 9〕図 12 は COG 方式を用いて、電気光学装置の組み立てる様子を模式的に示す図である。第 1 の基板には画素領域 803、外部入出力端子 804、接続配線 805 が形成されている。点線で囲まれた領域は、走査線側の IC チップ貼り合わせ領域 80

1 とデータ線側の IC チップ貼り合わせ領域 802 である。第 2 の基板 808 には対向電極 809 が形成され、シール材 810 で第 1 の基板 800 と貼り合わせる。シール材 810 の内側には液晶が封入され液晶層 811 を形成する。第 1 の基板と第 2 の基板とは所定の間隔を持って貼り合わせるが、ネマチック液晶の場合には 3~8 μm、スメチック液晶の場合には 1~4 μm とする。

【0146】IC チップ 806、807 は、データ線側と走査線側とで回路構成が異なる。IC チップは第 1 の基板に実装する。外部入出力端子 804 には、外部から電源及び制御信号を入力するための FPC (フレキシブルプリント配線板: Flexible Printed Circuit) 812 を貼り付ける。FPC 812 の接着強度を高めるために補強板 813 を設けても良い。こうして電気光学装置を完成させることができる。IC チップは第 1 の基板に実装する前に電気検査を行えば電気光学装置の最終工程での歩留まりを向上させることができ、また、信頼性を高めることができる。

【0147】また、IC チップを第 1 の基板上に実装する方法は、異方性導電材を用いた接続方法やワイヤボンディング方式などを採用することができる。図 13 にその一例を示す。図 13 (A) は第 1 の基板 901 に IC チップ 908 が異方性導電材を用いて実装する例を示している。第 1 の基板 901 上には画素領域 902、引出線 906、接続配線及び入出力端子 907 が設けられている。第 2 の基板はシール材 904 で第 1 の基板 901 と接着されており、その間に液晶層 905 が設けられている。

【0148】また、接続配線及び入出力端子 907 の一方の端には FPC 912 が異方性導電材で接着されている。異方性導電材は樹脂 915 と表面に Au などがメッキされた数十~数百 μm 径の導電性粒子 914 から成り、導電性粒子 914 により接続配線及び入出力端子 907 と FPC 912 に形成された配線 913 とが電氣的に接続されている。IC チップ 908 も同様に異方性導電材で第 1 の基板に接着され、樹脂 911 中に混入された導電性粒子 910 により、IC チップ 908 に設けられた入出力端子 909 と引出線 906 または接続配線及び入出力端子 907 と電氣的に接続されている。

【0149】また、図 13 (B) で示すように第 1 の基板に IC チップを接着材 916 で固定して、Au ワイヤ 917 により IC チップの入出力端子と引出線または接続配線とを接続しても良い。そして樹脂 918 で封止する。

【0150】IC チップの実装方法は図 12 及び図 13 を基にした方法に限定されるものではなく、ここで説明した以外にも公知の COG 方法やワイヤボンディング方法、或いは TAB 方法を用いることが可能である。

【0151】本実施例は実施例 1、3 乃至 8 のいずれか一と自由に組み合わせることが可能である。

【0152】【実施例10】本実施例は、基板としてプラスチック基板（或いはプラスチックフィルム）を用いた例を示す。なお、本実施例は基板としてプラスチック基板を用いること以外は実施例1とほぼ同一であるため異なる点についてのみ以下に述べる。

【0153】プラスチック基板の材料としてはPES（ポリエチレンサルファイド）、PC（ポリカーボネート）、PET（ポリエチレンテレフタレート）もしくはPEN（ポリエチレンナフタレート）を用いることができる。

【0154】プラスチック基板を用いて実施例1に従って作製すればアクティブマトリクス基板が完成する。ただし、絶縁膜、第1の非晶質半導体膜、及びn型を付与する不純物元素を含む第2の非晶質半導体膜は、成膜温度が比較的低温であるスパッタ法で形成することが望ましい。

【0155】プラスチック基板上に特性の良好なTFTを設けることができるとともに、さらなる表示装置の軽量化を図ることができる。また、基板がプラスチックであるため、フレキシブルな電気光学装置にすることも可能である。また、組み立てが容易となる。

【0156】なお、本実施例は、実施例1～3、または実施例9のいずれかと自由に組合せることができる。

【0157】【実施例11】実施例1では、基板100と対向基板124との両方に壁状スペーサをそれぞれ形成した例を示したが、本実施例では、壁状スペーサを対向基板のみに形成した例を図15に示す。なお、本実施例は壁状スペーサ1501を対向基板124のみに形成することを除いては、実施例1と同じであるため異なる点についてのみ説明する。

【0158】本実施例では、3回のフォトリソグラフィ工程により、3枚のフォトマスクを使用して、逆スタガ型のnチャネル型TFT、保持容量を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置した画素部を備えた基板を一方の基板とするアクティブマトリクス型の液晶表示パネルができる。

【0159】対向基板に設けられた壁状スペーサの上面図を図18（b）に示した。点線Y-Y'で切断した面が図15の断面図に対応している。

【0160】また、対向基板に壁状スペーサを設けた液晶表示装置をノーマリーホワイトモードに適用した場合には、壁状スペーサ1501の周囲の配向乱れ部分や配向乱れによるしきい値電圧の不均一部分は、表示認識者からは、壁状スペーサ自身により隠され、光漏れを低減することができる。よって、壁状スペーサによる光漏れを抑えることにより、コントラストの高い良好な表示品位を備えたマルチドメイン垂直配向型の液晶表示装置を得ることができる。

【0161】なお、本実施例は、実施例1乃至10のい

ずれかと自由に組み合わせることが可能である

【0162】【実施例12】本実施例は、アクティブマトリクス基板に凸部を形成した後、配向膜を形成した例を図16に示す。なお、本実施例は配向膜1601、1602と凸部1603を形成することを除いては、実施例1と同じであるため異なる点についてのみ説明する。

【0163】まず、実施例1に従い、アクティブマトリクス基板を形成する。

【0164】次いで、実施例1の壁状スペーサとは形状が異なる凸部1603を形成する。この凸部1603は、アクリル系、ポリイミド系、ポリイミドアミド系、エポキシ系の少なくとも一つを主成分とする有機系樹脂材料、もしくは酸化珪素、窒化珪素、酸化窒化珪素のいずれか一種の材料あるいはこれらの積層膜からなる無機系材料を用いればよい。

【0165】また、図16では画素電極上に形成した例を示したが、配線を所望の位置に配置してその配線を覆う絶縁膜表面に凸部を形成し、その凸部を用いて液晶を配向する構成としてもよい。

【0166】次いで、凸部1603上に垂直配向用の配向膜1601（JALS-2021；JSR製）を形成する。対向基板には実施例1と同様の壁状スペーサを形成する。また、対向電極が設けられた対向基板124にも垂直配向用の配向膜1602を形成する。その後、両基板を対向基板に設けられた壁状スペーサで基板間隔を保持しながらシール剤により貼り合わせた後、両基板間にn型の液晶材料を注入する。液晶材料を注入した後、注入口は樹脂材料で封止する。

【0167】その後、実施例1に従い、外部への電気的接続を行う配線が接続されて、液晶表示パネルが完成する。

【0168】電圧無印加時、アクティブマトリクス基板上の壁状スペーサ及び配向膜1601と、対向基板上の壁状スペーサ及び配向膜1602より、n型の液晶が一定の方向に配向が制御される。本実施例の液晶表示パネル用いれば、ギャップムラの少ない広視野角表示のマルチドメイン垂直配向型の液晶表示装置を得ることができる。

【0169】なお、本実施例は、実施例1乃至10のいずれかと自由に組み合わせることが可能である。

【0170】【実施例13】実施例1に示した壁状スペーサの上面図は図18（a）に示されている。本実施例では実施例1と異なる壁状スペーサの配置を示す。

【0171】図18（b）に示した壁状スペーサは、実施例11に示したように一方の基板のみに直線状の壁状スペーサが形成された例である。

【0172】図18（c）に示した壁状スペーサは、枝分かれした形状を有している。隣り合う壁状スペーサは一方の基板に設ける構成としてもよいし、両方の基板に設ける構成としてもよい。

【0173】また、図18(d)に示した壁状スペースは格子状である。図18(d)に示した壁状スペースの場合、壁状スペースは一方の基板に設ける。また、図18(d)に示した壁状スペースの場合、液晶を滴下した後、もう一方の基板と貼り合わせる。

【0174】なお、本発明は図18に示した上面配置に限定されず、n型液晶を配向させることができる配置であればよい。例えば、T字状、はしご状の配置でもよい。

【0175】なお、本実施例は、実施例1乃至12のいずれか一と自由に組み合わせることが可能である。

【0176】〔実施例14〕本実施例では、画素電極と同じ材料膜を利用して画素部以外の領域に保護回路を設ける例を図19を用いて示す。

【0177】図19(A)において、701は配線であり、画素部から延長されたゲート配線またはソース配線または容量配線を示している。また、第2の導電膜からなる電極701は、配線701が形成されていない領域を埋めるように、且つ配線701と重ならないように形成される。本実施例は、マスクを増やすことなく保護回路を形成する例を示したが、特に図19(A)の構成に限定されないことは言うまでもない。例えば、マスクを増やして保護ダイオードやTF Tで保護回路を形成してもよい。

【0178】また、図19(B)は等価回路図を示している。

【0179】このような構成とすることで、製造工程において製造装置と絶縁体基板との摩擦による静電気の発生を防止することができる。特に、製造工程で行われる液晶配向処理のラビング時に発生する静電気からTF T等を保護することができる。

【0180】なお、本実施例は実施例1乃至13のいずれか一と自由に組み合わせることができる。

【0181】〔実施例15〕上記各実施例1乃至14のいずれか一を実施して形成されたボトムゲート型TF Tは様々な電気光学装置（アクティブマトリクス型液晶ディスプレイ、アクティブマトリクス型ELディスプレイ、アクティブマトリクス型ECディスプレイ）に用いることができる。即ち、それら電気光学装置を表示部に組み込んだ電子機器全てに本願発明を実施できる。

【0182】その様な電子機器としては、ビデオカメラ、デジタルカメラ、プロジェクター（リア型またはフロント型）、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図20及び図21に示す。

【0183】図20(A)はパーソナルコンピュータであり、本体2001、画像入力部2002、表示部2003、キーボード2004等を含む。本発明を表示部2

003に適用することができる。

【0184】図20(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明を表示部2102に適用することができる。

【0185】図20(C)はモバイルコンピュータ（モバイルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示部2205等を含む。本発明は表示部2205に適用できる。

【0186】図20(D)はプログラムを記録した記録媒体（以下、記録媒体と呼ぶ）を用いるプレーヤーであり、本体2401、表示部2402、スピーカ部2403、記録媒体2404、操作スイッチ2405等を含む。なお、このプレーヤーは記録媒体としてDVD（Digital Versatile Disc）、CD等を用い、音楽鑑賞や映画鑑賞やゲームやインターネットを行うことができる。本発明は表示部2402に適用することができる。

【0187】図20(E)はデジタルカメラであり、本体2501、表示部2502、接眼部2503、操作スイッチ2504、受像部（図示しない）等を含む。本願発明を表示部2502に適用することができる。

【0188】図21(A)は携帯電話であり、本体2901、音声出力部2902、音声入力部2903、表示部2904、操作スイッチ2905、アンテナ2906等を含む。本願発明を表示部2904に適用することができる。

【0189】図21(B)は携帯書籍（電子書籍）であり、本体3001、表示部3002、3003、記憶媒体3004、操作スイッチ3005、アンテナ3006等を含む。本発明は表示部3002、3003に適用することができる。

【0190】図21(C)はディスプレイであり、本体3101、支持台3102、表示部3103等を含む。本発明は表示部3103に適用することができる。本発明のディスプレイは特に大画面化した場合において有利であり、対角10インチ以上（特に30インチ以上）のディスプレイには有利である。

【0191】以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、本実施例の電子機器は実施例1～14のどのような組み合わせからなる構成を用いても実現することができる。

【0192】

【発明の効果】本発明により、3回のフォトリソグラフィ工程により、3枚のフォトマスクを使用して、逆スタガ型のnチャネル型TF Tを有する画素TF T部、及び保持容量を形成し、さらにラビング処理を行うことな

く、1回のフォトリソグラフィ工程により、壁状スペーサを形成することによってセルギャップが均一で、液晶分子のスイッチング方向を制御した広視野角表示のマルチドメイン垂直配向型の液晶表示装置を実現することができる。

【図面の簡単な説明】

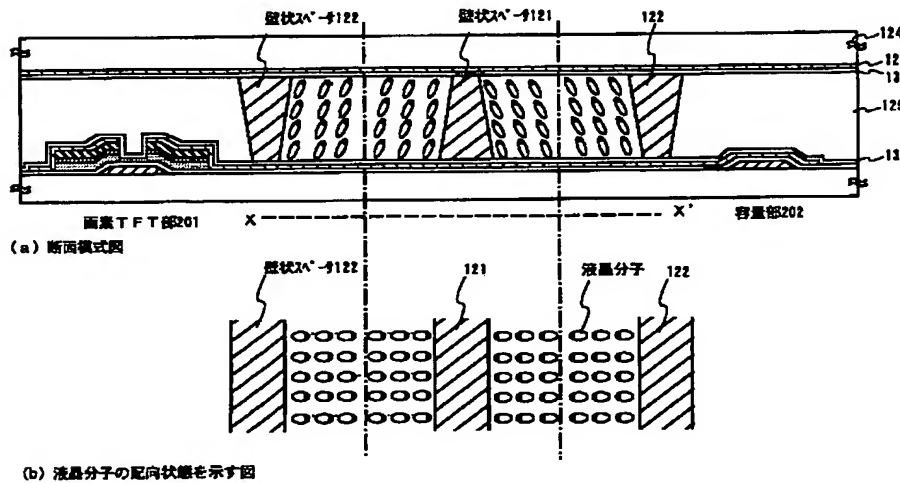
- 【図1】 本願発明の断面図及び液晶分子の配向状態を示す図。
 【図2】 アクティブマトリクス基板の作製工程を示す断面図。
 【図3】 アクティブマトリクス基板の作製工程を示す断面図。
 【図4】 アクティブマトリクス基板の作製工程を示す上面図。
 【図5】 アクティブマトリクス基板の作製工程を示す上面図。
 【図6】 アクティブマトリクス基板の作製工程を示す上面図。
 【図7】 液晶表示パネルの画素部と入力端子部の配置を説明する上面図。

10

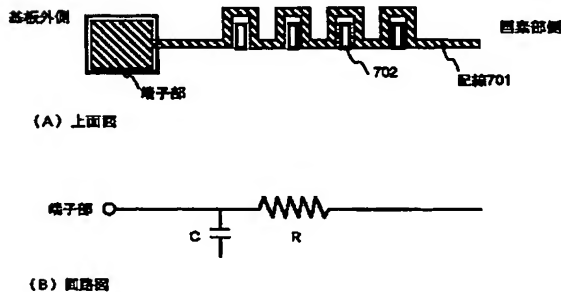
20

- 【図8】 液晶表示パネルの実装構造を示す断面図。
 【図9】 入力端子部の上面図及び断面図。
 【図10】 製造装置の上面図。
 【図11】 製造装置の上面図。
 【図12】 液晶表示パネルの実装を示す図。
 【図13】 液晶表示パネルの実装構造を示す断面図。
 【図14】 本願発明の断面図及び液晶分子の配向状態を示す図。
 【図15】 本願発明の断面図及び液晶分子の配向状態を示す図。
 【図16】 本願発明の断面図及び液晶分子の配向状態を示す図。
 【図17】 本願発明の壁状スペーサの斜視図を示す図。
 【図18】 本願発明の壁状スペーサの上面図を示す図。
 【図19】 保護回路の上面図及び回路図。
 【図20】 電子機器の一例を示す図。
 【図21】 電子機器の一例を示す図。

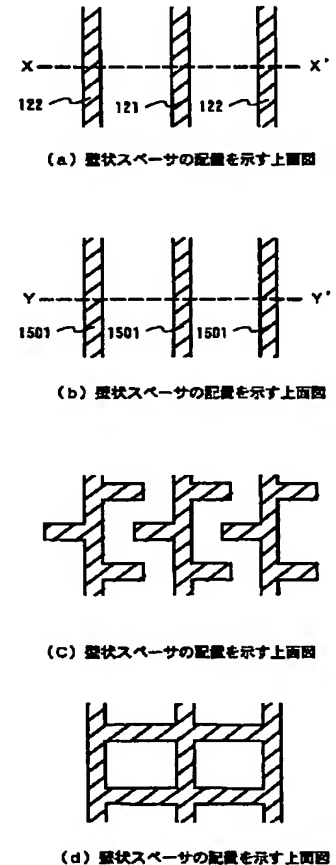
【図1】



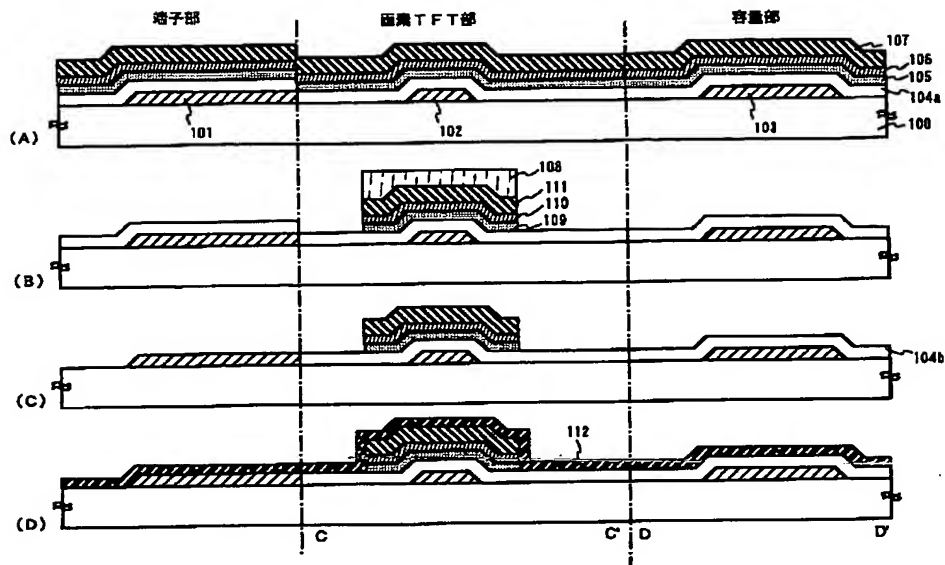
【図19】



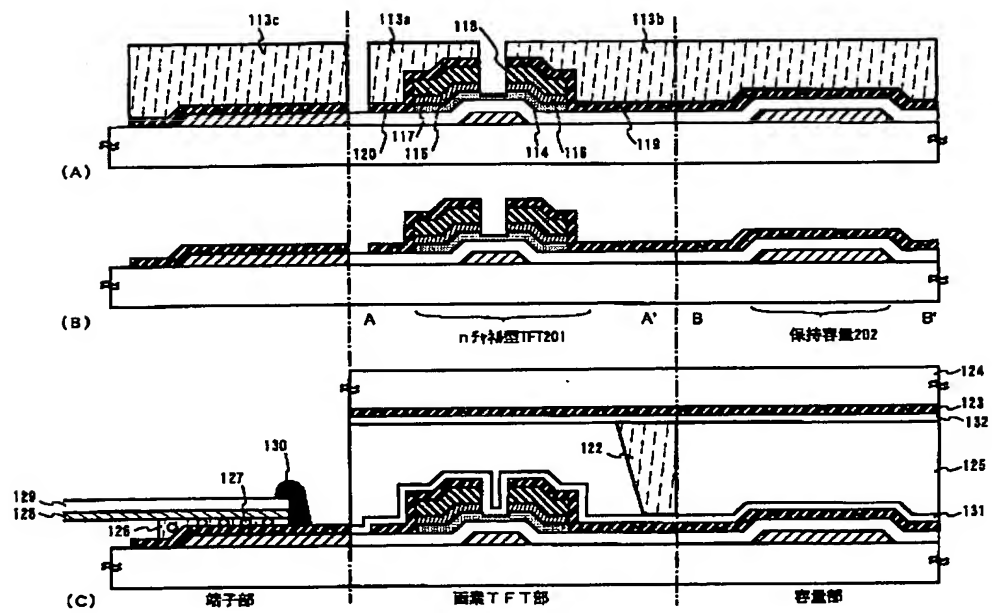
【図18】



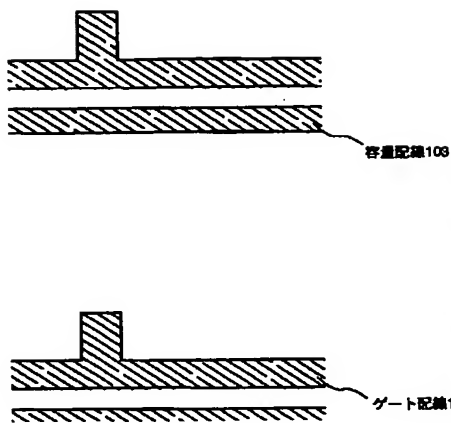
【図 2】



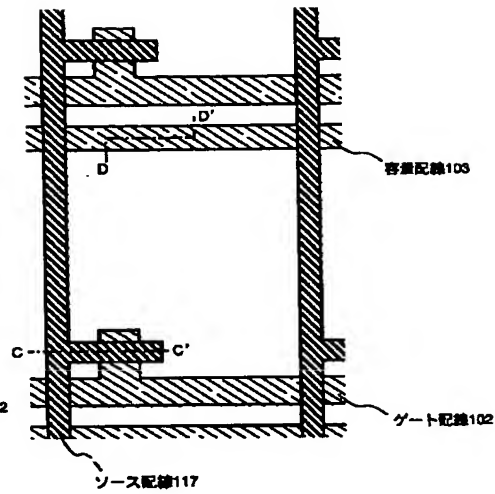
【図 3】



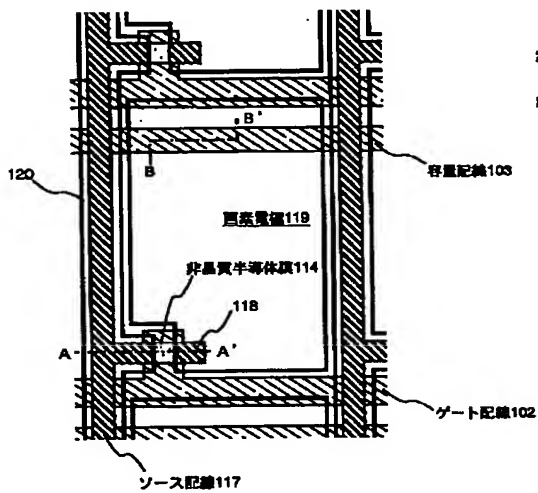
【図 4】



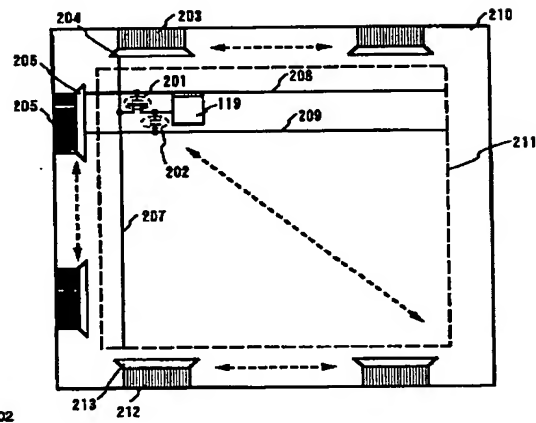
【図 5】



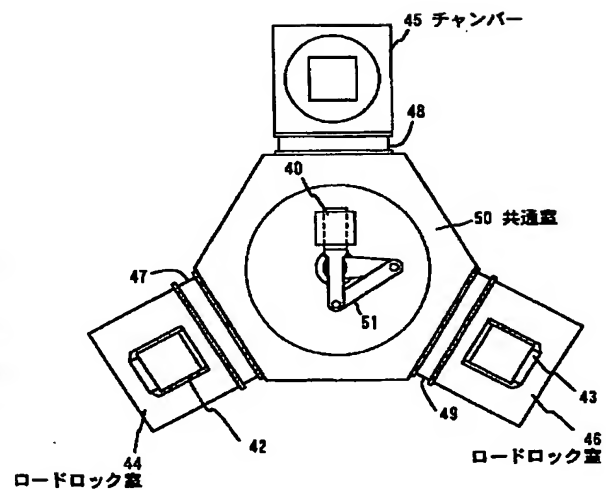
【図 6】



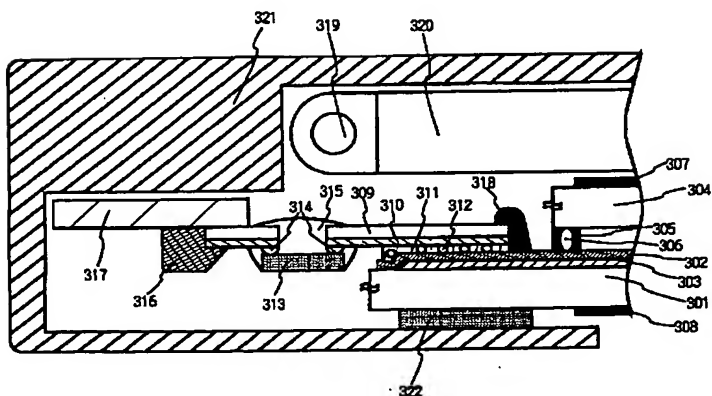
【図 7】



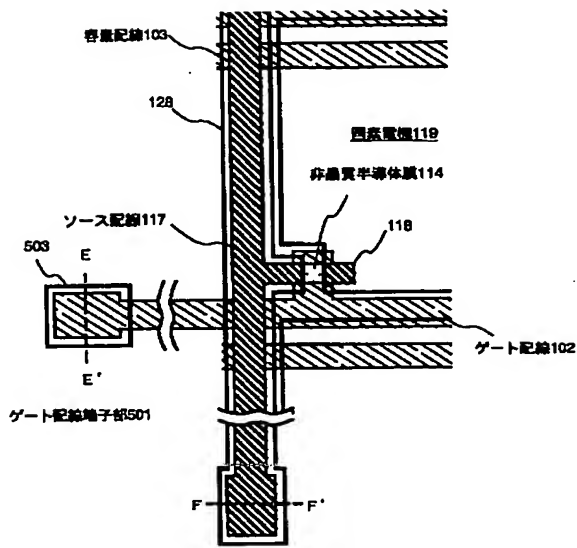
【図 11】



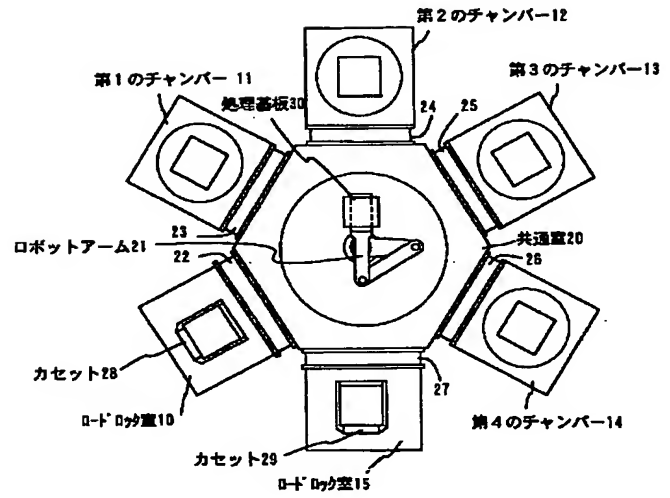
【図 8】



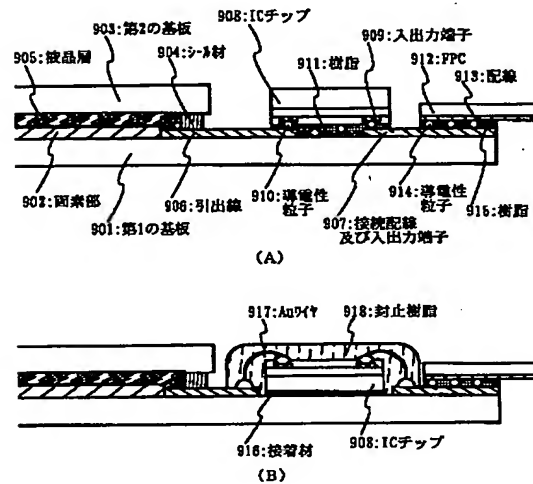
【図9】



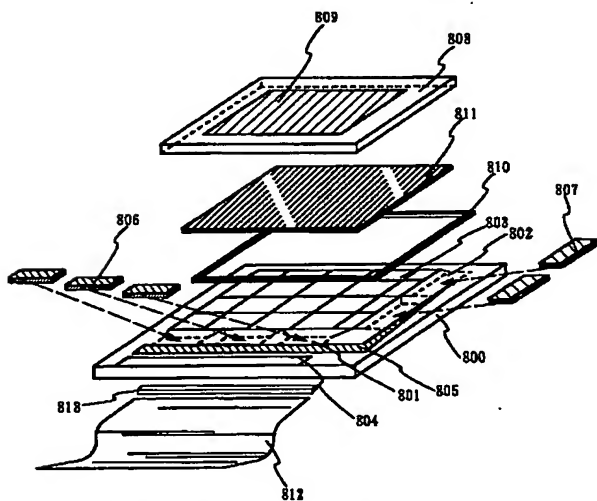
【図10】



【図13】

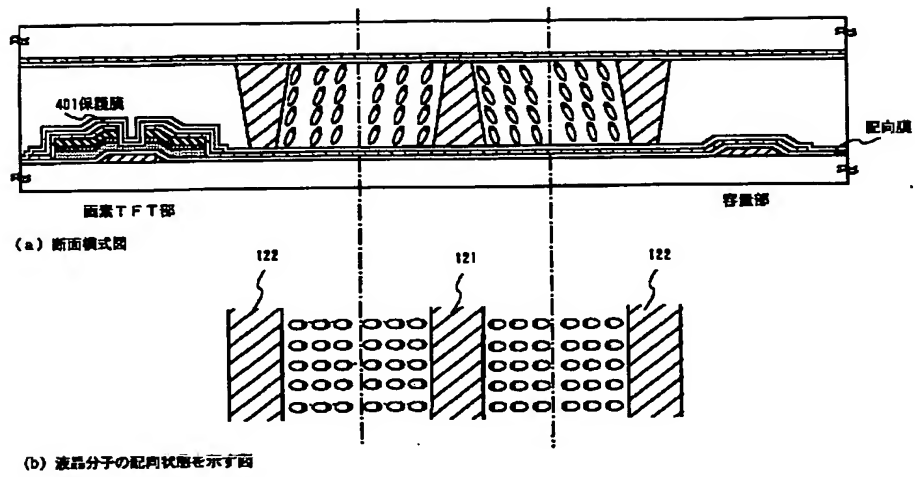


【図12】

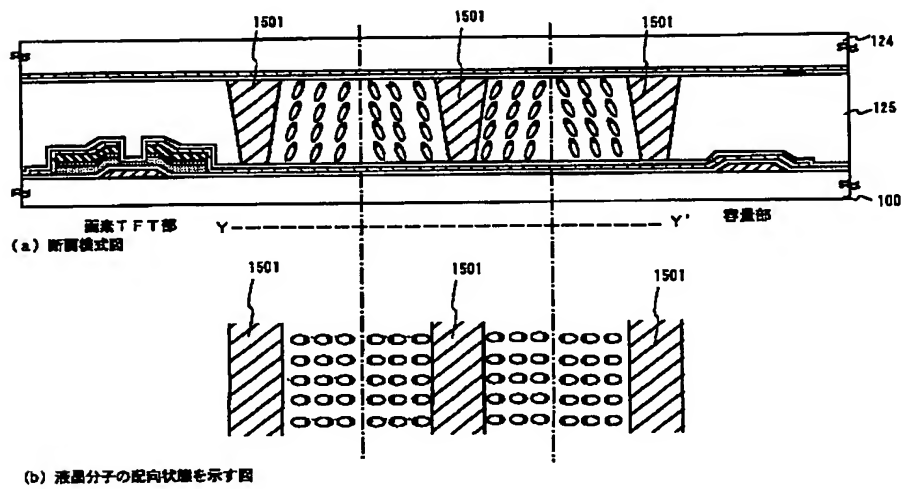


800:第1の基板、801:I Cチップ貼り合わせ領域(ゲート電極)、
802:I Cチップ貼り合わせ領域(走査線)、803:図素領域、
804:入力端子、805:接続配線、806,807:I Cチップ、
808:第2の基板、809:共通電極、810:シールド材、811:被膜、
812:FPC、813:補強板

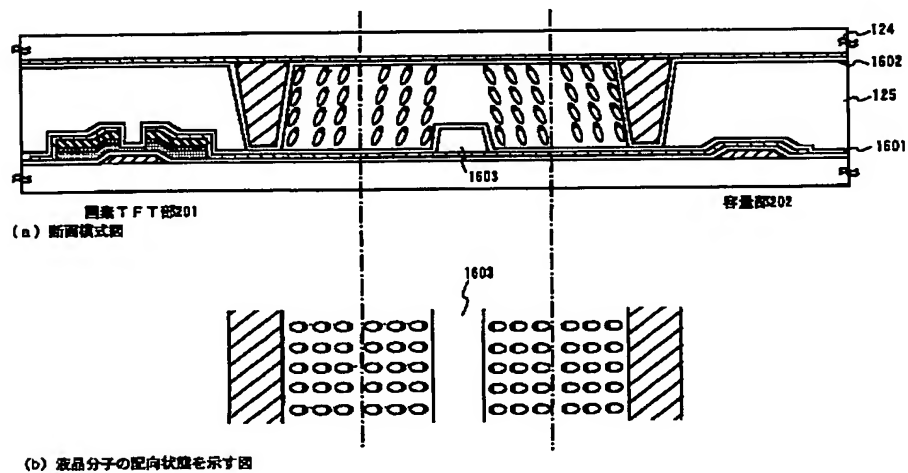
【図14】



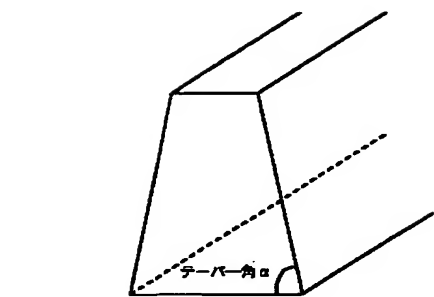
【図15】



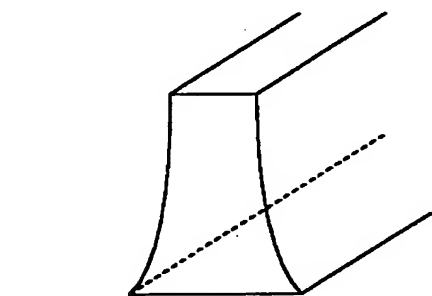
【図16】



【図 17】

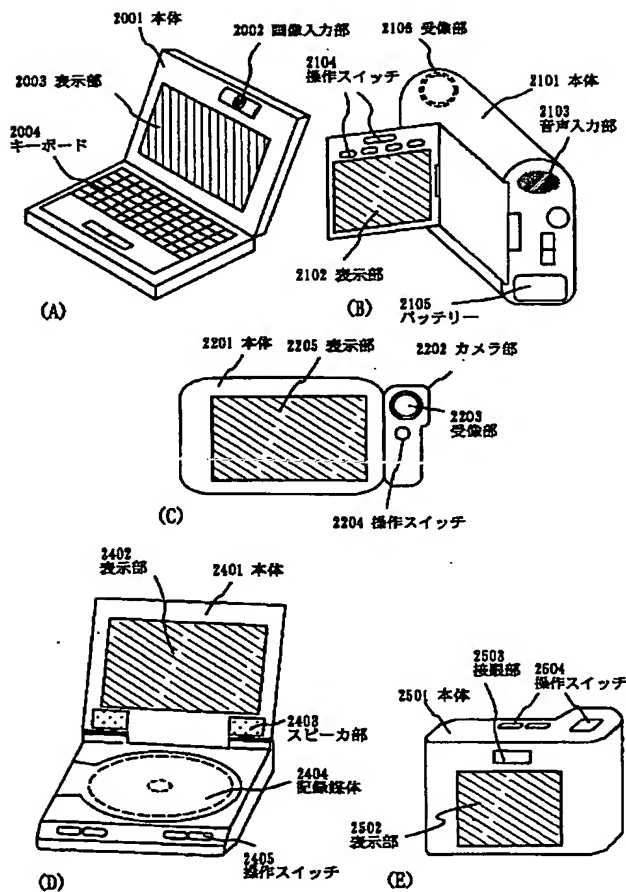


(a) 置状スベーサの斜視図

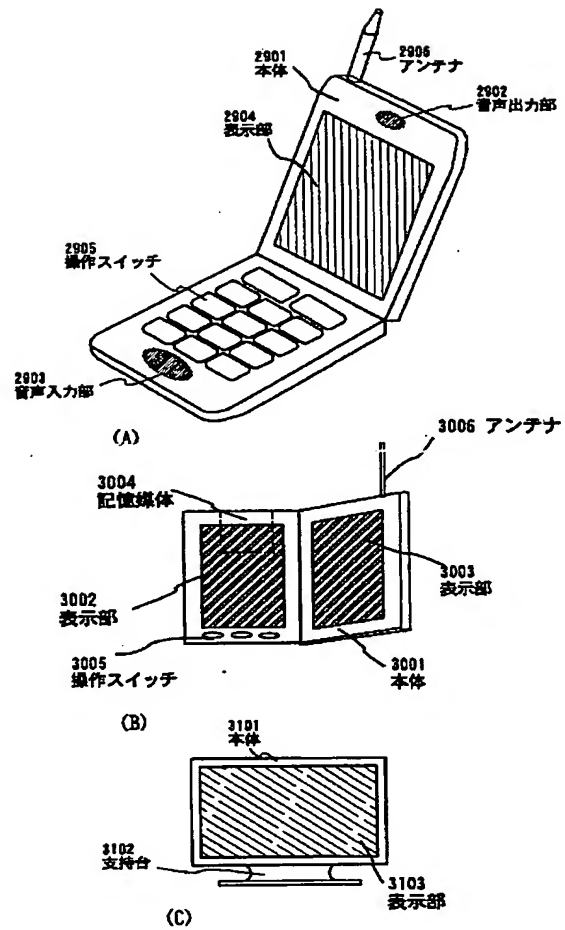


(b) 置状スベーサの形状

【図 20】



【図 21】



フロントページの続き

(51) Int. Cl.⁷
H01L 21/336

識別記号

FI
H01L 29/78

テーマコード(参考)
616J

F ターム(参考) 2H089 LA10 MA03X NA01 QA12
QA15 RA05
2H090 KA05 LA01 LA02 MA01 MA10
MB01
2H092 GA48 GA50 GA51 JA26 JA41
JB22 JB31 JB69 KA05 KA18
MA05 MA07 MA14 MA15 MA17
MA37 NA04 NA29 PA02 PA03
PA04 QA07
5C094 AA03 AA12 AA43 AA55 BA03
BA43 CA19 DA13 DB01 DB04
EA04 EA05 EB02 EC03 FA01
FA02 FB01 FB02 FB12 FB15
GB10
5F110 AA16 AA26 BB01 CC07 DD01
DD02 DD03 EE01 EE02 EE03
EE04 EE06 EE14 EE15 EE23
EE44 FF01 FF02 FF03 FF04
FF09 FF28 FF30 FF36 GG01
GG02 GG03 GG14 GG15 GG25
GG43 GG45 HK03 HK04 HK06
HK07 HK08 HK09 HK15 HK16
HK22 HK25 HK33 HK35 HK39
NN03 NN22 NN23 NN24 NN34
NN35 NN40 NN72 NN73 QQ04
QQ05 QQ09 QQ10